



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1343562 A1

(SU 4 Н 04 N 7/01)

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

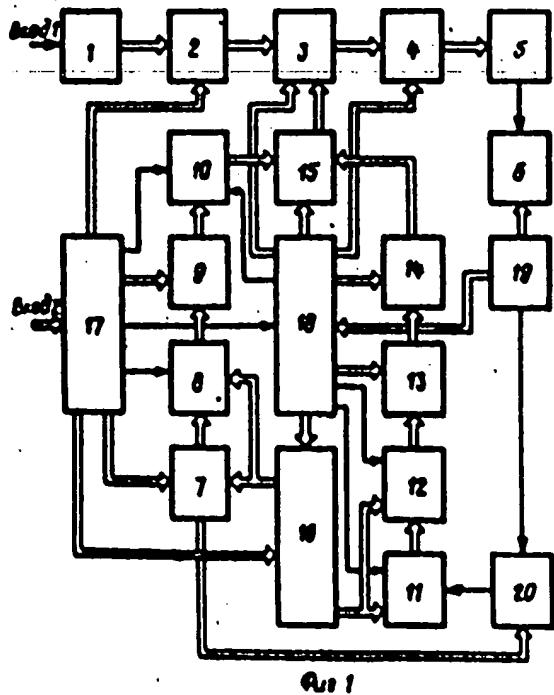
(21) 4051308/24-09
(22) 07.04.86
(46) 07.10.87. Бюл. № 37
(72) Е.Г.Константинов
(53) 621.397.3(088.8)
(56) Патент США № 4125862,
кл. Н 04 N 5/02, 1978.

Авторское свидетельство СССР
№ 813813, кл. Н 04 N 7/01, 1981.

(54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ
ТЕЛЕВИЗИОННОГО СТАНДАРТА

(57) Изобретение относится к ТВ и
обеспечивает расширение функциональ-
ных возможностей путем обеспечения

отображения движущихся изображений
в режиме панорамирования с регулиру-
емыми скоростью и направлением
сдвига. Устройство содержит АШ 1, блоки
2 и 4 буферной памяти, блок 3 опе-
ративной памяти, ЦАП 5, видеокон-
трольный блок 6, накапливающие сум-
маторы 7, 9, 11 и 13, коммутаторы 8,
12 и 15, счетчик 10 адресов записи,
счетчик 14 адресов считывания, блок
16 постоянной памяти, блок 17 управ-
ления режимом записи, блок 18 управ-
ления режимом считывания, блок 19
синхронизации, блок 20 коррекции.
14 ил.



Best Available Copy

SU
11
1343562 A1

Изобретение относится к технике телевидения и может быть использовано при построении устройств преобразования и отображения многофрагментных движущихся изображений в мало-кадровых телевизионных системах.

Цель изобретения - расширение функциональных возможностей путем обеспечения отображения многофрагментных движущихся изображений в режиме панорамирования с регулируемыми скоростью и направлением сдвига.

На фиг.1 представлена структурная электрическая схема устройства для преобразования телевизионного стандарта; на фиг.2 - схема первого блока буферной памяти; на фиг.3 - схема блока оперативной памяти; на фиг.4 - схема блока оперативных запоминающих устройств; на фиг.5 - схема первого и второго накапливающих сумматоров; на фиг.6 - схема четвертого накапливающего сумматора; на фиг.7 - схема третьего накапливающего сумматора; на фиг.8 - схема блока постоянной памяти; на фиг.9 - схема блока управления режимом записи; на фиг.10 - схема блока коррекции; на фиг.11 - схема блока управления режимом считывания; на фиг.12 - временные диаграммы работы блока управления режимом записи; на фиг.13 - временные диаграммы работы блока управления режимом считывания; на фиг.14 - структура участка многофрагментного изображения.

Устройство для преобразования телевизионного стандарта (фиг.1) содержит аналогово-цифровой преобразователь (АЦП) 1, первый блок 2 буферной памяти, блок 3 оперативной памяти, второй блок 4 буферной памяти, цифро-аналоговый преобразователь (ЦАП) 5, видео-контрольный блок 6, первый накапливающий сумматор 7, первый коммутатор 8, второй накапливающий сумматор 9, счетчик 10 адресов записи, третий накапливающий сумматор 11, второй коммутатор 12, четвертый накапливающий сумматор 13, счетчик 14 адресов считывания, третий коммутатор 15, блок 16 постоянной памяти, блок 17 управления режимом записи, блок 18 управления режимом считывания, блок 19 синхронизаций, блок 20 коррекции.

Первый блок 2 буферной памяти (фиг.2) содержит последовательно-па-

раллельные регистры 21-1-21-п, параллельные регистры 22-1-22-п.

Блок 3 оперативной памяти (фиг.3) содержит блоки 23-1-23-п оперативных запоминающих устройств.

Блок 23-1 оперативных запоминающих устройств (фиг.4) содержит оперативные запоминающие устройства 24-1-24-к.

Первый 7 и второй 9 накапливающие сумматоры (фиг.5) содержат сумматор 25 и параллельный регистр 26.

Четвертый накапливающий сумматор 13 (фиг.6) содержит сумматор 27 и параллельный регистр 28.

Третий накапливающий сумматор 11 (фиг.7) содержит сумматор 29 и параллельный регистр 30.

Блок 16 постоянной памяти (фиг.8) содержит первый блок 31 постоянных запоминающих устройств, счетчик 32, второй блок 33 постоянных запоминающих устройств.

Блок 17 управления режимом записи (фиг.9) содержит первый мультивибратор 34, первый элемент 35 задержки, второй элемент 36 задержки, первый элемент И 37, второй элемент И 38, элемент НЕ 39, элемент ИЛИ 40, элемент ИЛИ-НЕ 41, счетчик 42, второй мультивибратор 43.

Блок 20 коррекции (фиг.10) содержит первый мультивибратор 44, второй мультивибратор 45, дешифратор 46, триггер 47.

Блок 18 управления режимом считывания (фиг.11) содержит первый 48, второй 49 и третий 50 мультивибраторы, первый 51 и второй 52 элемент задержки, первый 53 и второй 54 триггеры, первый счетчик 55, блок 56 элементов НЕ, первый 57, второй 58, третий 59 и четвертый 60 элементы И, элемент ИЛИ-НЕ 61, элемент ИЛИ 62, первый 63, второй 64 и третий 65 элементы НЕ, второй счетчик 66, программируемую логическую матрицу 67.

Устройство для преобразования телевизионного стандарта работает следующим образом.

Аналоговый видеосигнал в соответствии со стандартом разложения входного изображения поступает на вход АЦП 1, в котором видеосигнал преобразуется в цифровую форму. С выхода АЦП 1 цифровой видеосигнал поступает на вход первого блока 2 буферной памяти, где производится его временное разуплотнение с целью обеспече-

ния согласования сравнительно низких частот обращения к блоку 3 оперативной памяти с высокой частотой дискретизации входного видеосигнала. Разуплотненный видеосигнал с выхода первого блока 2 буферной памяти поступает на вход блока 3 оперативной памяти, где осуществляются его запись и одновременное считывание. Считываемый 10 видеосигнал с выхода блока 3 оперативной памяти поступает на вход второго блока 4 буферной памяти, где осуществляется его временное уплотнение с целью формирования видеосигнала в соответствии с вещательным или близким к нему стандартом. С выхода второго блока 4 буферной памяти цифровой видеосигнал поступает на вход ЦАП 5, где преобразуется в аналоговую форму и поступает далее на видеовход видеоконтрольного блока 6 для визуализации изображения. Наличие в устройстве первого 2 и второго 4 блоков буферной памяти (на входе и выходе блока 3 оперативной памяти) позволяет осуществлять одновременно запись и считывание видеосигналов с различными стандартами разложения изображений, а также согласовать сравнительно низкие частоты обращения к блоку 3 оперативной памяти с высокими частотами дискретизации входного и выходного видеосигналов.

Запись видеосигнала входного стандарта разложения осуществляется следующим образом.

Отсчеты входного видеосигнала в виде n -разрядных слов (обычно $n \leq 8$) поступают с выхода АШЛ 1 на информационные входы последовательно-параллельных регистров 21-1-21-п. Разрядность последних и параллельных регистров 22-1-22-п выбирается равной разрядности параллельно-последовательных регистров второго блока 4 буферной памяти и выбирается из соотношения

$$k \geq \frac{2f_{\text{сч}}}{f_{\text{обр}}},$$

где $f_{\text{обр}}$ - частота обращения к оперативным запоминающим устройствам блока 3 оперативной памяти;

$f_{\text{сч}}$ - частота дискретизации считываемого видеосигнала.

Выполнение этого условия обеспечивает возможность одновременной записи и считывания видеосигнала. Запись входных отсчетов видеосигнала в последовательно-параллельные регистры 21-1-21-п осуществляется по поступающим на их тактовые входы импульсам, частота которых соответствует частоте дискретизации входного видеосигнала. Совокупность тактовых импульсов, определяющих структуру отсчетов в пределах прямых ходов строк фрагмента записываемого изображения, формируется с помощью первого элемента И 37, на первый вход которого подается смесь гасящих импульсов строк и фрагментов записываемого изображения отрицательной полярности, а на второй вход первого элемента И 37 поступает с входа блока 17 управления режимом записи непрерывная последовательность импульсов с частотой дискретизации входного видеосигнала, привязанных по фазе к строчным гасящим импульсам. Смесь гасящих импульсов строк и фрагментов формируется с помощью элемента ИЛИ-НЕ 41, на первый и второй входы которого подаются соответственно гасящие импульсы фрагментов и строк положительной полярности.

В момент полного заполнения последовательно-параллельных регистров 21-1-21-п их содержимое переписывается в параллельные регистры 22-1-22-п, на тактовые входы которых подается сигнал перезаписи. Сигнал перезаписи поступает со старшего разряда счетчика 42, коэффициент счета которого соответствует разрядности регистров первого блока 2 буферной памяти. Во время обратного хода строк записи счетчик 42 устанавливается в нулевое состояние подачей на его управ员ий вход установки начального кода строчного гасящего импульса записи с входа блока 17 управления режимом записи. Во время прямого хода строк записи счетчик 42 изменяет свое состояние синхронно с заполнением последовательно-параллельных регистров 21-1-21-п. Зафиксированные сигналом перезаписи в параллельных регистрах 22-1-22-п отсчеты входного видеосигнала с информационных выходов параллельных регистров 22-1-22-п поступают на первые входы блоков 23-1-23-п

оперативных запоминающих устройств таким образом, что каждый из n разрядов входных отсчетов поступает в один из n блоков 23-1-23- n . Таким образом, каждый из бит, поступивших на вход блоков 23-1-23- n оперативных запоминающих устройств, оказывается на входе одного из оперативных запоминающих устройств 24-1-24- k и удерживается там до окончания цикла записи по адресу записи, поступившему на их адресные входы через третий коммутатор 15 с информационных выходов разрядов счетчика 10 адресов записи.

Сигналом начала цикла записи служит сигнал перезаписи, поступивший со старшего разряда счетчика 42 на счетный вход триггера 53, что приводит к формированию в соответствующем временном интервале сигналов выборки строк, столбцов и сигнала записи, поступающих с выходов программируемой логической матрицы 67 на управляющие входы оперативных запоминающих устройств 24-1-24- k . По этим сигналам все слова данных записываются в оперативные запоминающие устройства 24-1-24- k блоков 23-1-23- n оперативных запоминающих устройств. Аналогичные циклы записи осуществляются всякий раз по заполнении последовательно-параллельных регистров 21-1-21- n и перезаписи их содержимого в параллельные регистры 22-1-22- n по сигналу со старшего разряда счетчика 42.

Формирование адресных кодов записи, по которым производится запись отсчетов входного видеосигнала, осуществляется следующим образом.

Запись многофрагментного изображения начинается с момента поступления на вход блока 17 сигнала начала записи панорамы, который может поступать как с пульта оператора, так и из внешнего блока синхронизации датчика, формирующего многофрагментное изображение. Сигнал начала записи панорамы может быть как однократным, если в процессе записи фрагментов после записи очередного фрагмента панорамы адрес в первом накапливающем сумматоре 7 оказывается в исходном состоянии, так и периодическим, поступающим в начале записи каждого многофрагментного изображения. Сигнал начала записи панорамы (фиг. 12 а), соппадающий по времени с гасящим им-

пульсом фрагмента записываемого изображения (фиг. 12 б), поступает на вход первого мультивибратора 34 и на шестой выход блока 17 управления режимом записи, откуда он проходит на вход сигнала сброса параллельного регистра 26 первого накапливающего сумматора 7, обнуляя его содержимое.

Сигналом начала записи панорамы параллельный регистр 26 удерживается в нулевом состоянии до его окончания. С помощью первого мультивибратора 34 по переднему фронту сигнала начала записи панорамы формируется укороченный импульс (фиг. 12 в), который поступает на вход сигнала сброса счетчика 32, устанавливая его в нулевое состояние. Тем самым на адресных входах блока 31 постоянных запоминающих устройств устанавливается начальный адрес. Старшим разрядом адреса при этом служит гасящий импульс фрагмента, поступающий на тактовый вход счетчика 32 и адресный вход старшего разряда блока 31 постоянных запоминающих устройств. Гасящий импульс фрагмента, поступающий на управляющий вход первого коммутатора 8, переключает его таким образом, что в течение всего гасящего импульса фрагмента (фиг. 12 б) на выход первого коммутатора 8 проходит начальный адрес с выхода первого накапливающего сумматора 7. Далее начальный адрес проходит на первый вход второго накапливающего сумматора 9, параллельный регистр 26 которого сброшен в нулевое состояние импульсом, поступающим на вход сигнала сброса параллельного регистра 26 с выхода второго мультивибратора 43 блока 17 управления режимом записи.

Импульс сброса (фиг. 12 г) формируется по переднему фронту гасящего импульса фрагмента с помощью второго мультивибратора 43. Этот же импульс, задержанный в первом элементе 35 задержки, на время τ , через элемент ИЛИ 40 поступает на тактовый вход параллельного регистра 26 второго накапливающего сумматора 9. По заднему фронту этого импульса в параллельном регистре 26 устанавливается начальный адрес, который проходит на информационные входы разрядов параллельной установки счетчика 10 адресов записи. Задержка τ , необходимая для того, чтобы сигнал сброса парал-

лельного регистра 26 снять раньше, чем поступит задний фронт импульса установки в параллельный регистр 26 начального адреса. Задержанный далее во втором элементе 36 задержки на τ_2 , этот же сигнал устанавливает начальный адрес в счетчик 10 адресов записи. Задержка τ_2 необходима для компенсации задержки начального адреса кода во втором накапливающем сумматоре 9. Таким образом, начальный адресный код первого фрагмента панорамы (фиг.14) устанавливается в счетчике 10 адресов записи. Далее на прямом ходу строки сигналом, поступающим на тактовый вход счетчика 10 адресов записи, его содержимое увеличивается каждый раз на единицу, формируя тем самым адреса элементов записываемого изображения вдоль строки.

По окончании гасящего импульса фрагмента по его заднему фронту увеличивается на единицу содержание счетчика 32, формируя новый адрес для блока 31 постоянных запоминающих устройств. На старшем адресном разряде последнего по окончании гасящего импульса фрагмента меняется полярность сигнала и на его выходе формируется код числа, представляющего собой разность между начальными адресами двух соседних строк фрагмента изображения. Этот код через переключившийся по окончанию гасящего импульса фрагмента изображения первый коммутатор 8 поступает на первый вход второго накапливающего сумматора 9 и удерживается там в течение прямого хода фрагмента записываемого изображения по задним фронтам гасящих импульсов строк (фиг.12 д), замешанных в элементе ИШИ 40 с импульсами (фиг.12 е), содержимое второго накапливающего сумматора 9 увеличивается сигналом с выхода элемента ИШИ 40 (фиг.12 ж) на величину, равную выбранной разности между начальными адресными кодами строк. Таким образом, во втором накапливающем сумматоре 9 на прямом ходу фрагмента формируются начальные адресные коды строк записываемого фрагмента изображения (фиг.14), которые передаются в счетчик 10 адресов записи сигналом с выхода второго элемента 36 задержки (фиг.12 з).

С приходом следующего гасящего импульса фрагмента изображения процесс

передачи начального адресного кода второго фрагмента изображения в счетчик 10 адресов записи повторяется. При этом по переднему фронту гасящего импульса второго фрагмента содержимое первого накапливающего сумматора 7 увеличивается на величину, код которой поступает из блока 31 постоянных запоминающих устройств по новому адресу, сформированному по заднему фронту гасящего импульса предыдущего фрагмента. Таким образом, начальные адреса фрагментов изображения (фиг.14) формируются в первом накапливающем сумматоре 7 путем сложения его содержимого с кодами чисел, представляющих собой разность между начальными адресами двух последовательно записываемых фрагментов изображения. Эти коды хранятся в блоке 31 постоянных запоминающих устройств, выбираются по адресу, поступающему из счетчика 32, и могут быть как одинаковыми в случае регулярного размещения фрагментов в многофрагментном изображении, так и отличающимися в противном случае. Таким образом, информация, записанная в блоке 31 постоянных запоминающих устройств, определяет параметры записываемых фрагментов и их взаимное расположение в многофрагментном изображении.

На фиг.14 приведен пример возможного расположения четырех фрагментов, расположенных в произвольном порядке, однако обычно фрагменты располагаются без зазоров, образуя сплошное изображение.

Считывание записанного в блоке 3 оперативной памяти многофрагментного изображения осуществляется следующим образом.

Отсчеты выходного разуплотненного видеосигнала с выхода блока 3 оперативной памяти поступают на вход второго блока 4 буферной памяти. Далее по тактовым импульсам сдвига с частотой дискретизации выходного видеосигнала (для вещательного стандарта равной 13,5 МГц), подаваемым на тактовые входы второго блока 4 буферной памяти, содержимое его регистров последовательно выводится в виде п-разрядных отсчетов и через ЦЛП 5 подается на видеовход видеоконтрольного блока 6. При этом перевод второго блока 4 буферной памяти в режим параллельного занесения осуществляется

по сигналу, формируемому на выходе программируемой логической матрицы 67, а тактовые импульсы поступают с выхода первого элемента И 57. При этом тактовые импульсы формируются путем стробирования импульсов с частотой дискретизации выходного видеосигнала, поступающих из блока 19 синхронизации на второй вход первого элемента И 57, смесью гасящих импульсов строк и полей отрицательной полярности, поступающей на первый вход первого элемента И 57. Смесь гасящих импульсов формируется с помощью элемента ИЛИ-НЕ 61, на первый и второй входы которого подаются соответственно гасящие импульсы строк и полей.

Формирование управляющих сигналов в режиме считывания осуществляется следующим образом.

По переднему фронту гасящего импульса строк (фиг.13 а) с помощью первого мультивибратора 48 формируется короткий импульс (фиг.13 б) с длительностью, достаточной для установки счетчика 66 в исходное состояние. По окончании импульса установки счетчик 66 начинает изменять свое состояние под воздействием тактовых импульсов с частотой дискретизации выходного видеосигнала. Выходы разрядов счетчика 66 являются входными переменными для программируемой логической матрицы 67. При этом выходными переменными являются сигналы выборки строк (фиг.13 в), столбцов (фиг.13 г), сигналы записи (фиг.13 д), а также указанный импульс (фиг.13 и), переводящий в цикле считывания регистры второго блока 4 буферной памяти из режима последовательного вывода в режим параллельного занесения информации. Коэффициент разуплотнения k выбирается таким образом, чтобы в течение k тактовых импульсов считывания была возможность двукратного обращения к блоку 3 оперативной памяти. Так как коэффициент счета счетчика 66 равен k , то полярность сигнала с выхода его старшего разряда (фиг.13 ж) определяет циклы считывания (первый цикл обращения) и записи (второй цикл обращения). Поэтому сигнал старшего разряда счетчика 66 используется для управления третьим коммутатором 15, пропускающим

в соответствующих циклах адреса записи или считывания.

Выходной переменной программируемой логической матрицы 67 является также сигнал на ее выходе (фиг.13 з), осуществляющий коммутацию младших и старших разрядов адресов записи и считывания в третьем коммутаторе 15, необходимую для передачи адреса в оперативные запоминающие устройства с мультиплексированием адреса. Таким образом, в каждом втором цикле обращения формируются сигналы управления, в каждом втором цикле обращения формируются сигналы управления, устанавливающие блок 3 оперативной памяти в режим считывания. Это обеспечивает непрерывный без пропусков процесс визуализации выходного изображения. Вторая половина циклов предназначена для осуществления записи входного видеосигнала. Сигналы управления формируются начиная с окончания импульса установки счетчика 66, т.е. и на строчном гасящем импульсе, что позволяет производить запись входного видеосигнала во время строчного гасящего импульса считывания. Вывод выходного изображения во время строчного гасящего импульса считывания не производится, так как в это время не трактируются регистры второго блока 4 буферной памяти и не формируются адреса считывания в счетчике 14 адресов считывания.

Формирование сигналов управления в цикле записи производится следующим образом.

По заполнении параллельных регистров 22-1-22-п на счетный вход первого триггера 53 приходит сигнал (фиг.13 е), устанавливая на его выходе уровень логической единицы. Поскольку в общем случае процессы записи и считывания асинхронны, то момент его установки на выходе первого триггера 53 является произвольным. С началом ближайшего временного интервала цикла записи (второй цикл обращения) сигналом, поступающим на счетный вход второго триггера 54, этот уровень передается на его выход и является входной переменной программируемой логической матрицы 67, разрешающей формирование сигнала записи (фиг.13 д). Уровень логической единицы на выходе второго триггера 54 позволяет также прохождение че-

результатом которого является импульс, расположенный в конце каждого цикла обращения (фиг. 13 к) и формируемого программируемой логической матрицей 67. Импульсом с выхода второго элемента И 58 (фиг. 13 л) первый 53 и второй 54 триггеры обнуляются и устройство вновь готово к повторению цикла записи.

Формирование адресных кодов считывания осуществляется следующим образом.

С приходом начала записи панорамы начальный адрес панорамы с второго выхода первого накапливающего сумматора 7 поступает на информационные входы разрядов дешифратора 46, дешифрирующего этот адрес. В результате на входе триггера 47 появляется уровень логической единицы, который с приходом гасящего импульса полей на счетный вход триггера 47 передается на его выход. По положительному перепаду с помощью первого мультивибратора 44 формируется импульс, по заднему фронту которого с помощью второго мультивибратора 45 формируется второй импульс, возвращающий триггер 47 в исходное состояние с уровнем логического нуля на выходе. Импульс с выхода первого мультивибратора 44 поступает на вход сброса регистра 30, устанавливая в нем такой код, который обеспечивает запись фрагментов в ту часть адресного пространства блока 3 оперативной памяти, которая в данный момент не отображается на экране видеоконтрольного блока 6. Установка регистра 30 во время гасящего импульса полей исключает возможные помехи, заметные на экране видеоконтрольного блока 6. В дальнейшем установка регистра 30 производится лишь в те моменты, когда на втором выходе первого накапливающего сумматора 7 начальный код записи панорамы. В остальном процесс формирования адресных кодов считывания аналогичен формированию адресов записи.

С приходом гасящего импульса поля (фиг. 12 б) на выходе второго блока 33 постоянных запоминающих устройств устанавливается код числа, представляющего собой разность между начальными адресными кодами двух последовательно считываемых полей. Величина этой разности определяет шаг и на-

правление сдвига изображения на экране видеоконтрольного блока 6. Прибавление этого кода к содержимому третьего накапливающего сумматора 11 производится по сигналу, формируемому на выходе старшего разряда первого счетчика 55, на вход которого поступают гасящие импульсы полей. В зависимости от установленного коэффициента счета первого счетчика 55 изменение содержимого третьего накапливающего сумматора 11 происходит в каждом поле, через поле или через несколько полей. Тем самым изменяется скорость сдвига изображения. Сформированный в третьем накапливающем сумматоре 11 переменный начальный адрес поля через переключенный гасящий импульсом поля второй коммутатор 12 поступает на первый вход четвертого накапливающего сумматора 13.

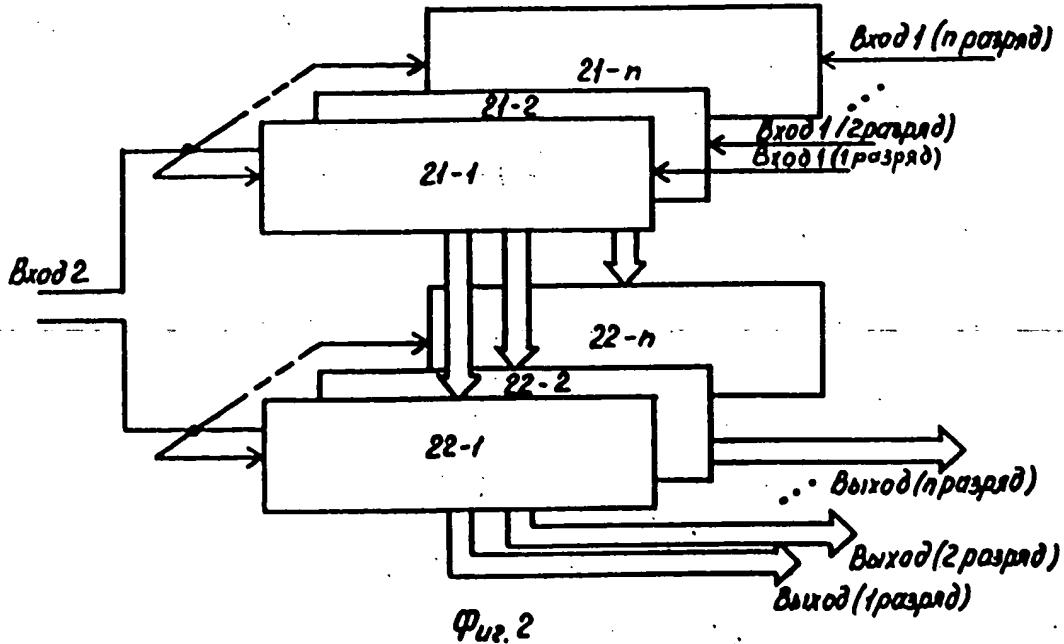
В исходное состояние параллельный регистр 28 четвертого накапливающего сумматора 13 приводится двумя сигналами. На вход сброса в нуль поступает короткий импульс (фиг. 20 г) с выхода второго мультивибратора 49, сформированный по переднему фронту. 25 гасящего импульса полей. На вход установки в состояние логической единицы соответствующих разрядов параллельного регистра 28 подается импульс, сформированный с помощью третьего мультивибратора 50 из сигнала опознавания полей, поступающего из блока 19 синхронизации и представляющего собой сигнал скважности равной двум, имеющий отрицательную полярность в 35 первом поле и положительную во втором поле считываемого кадра изображения, причем переключение сигнала опознавания полей осуществляется синфазно с гасящими импульсами полей. 40 Таким образом, поскольку длительность импульса с выхода третьего мультивибратора 50 несколько превышает длительность импульса с выхода второго мультивибратора 49, параллельный регистр 28 обнуляется в первом поле, 45 а во втором поле в нем устанавливается код числа, представляющего собой разность между начальными адресами двух смежных строк. В результате 50 обеспечивается необходимый сдвиг в адресах на одну строку, требующийся при чересстрочной развертке вешательного стандарта. 55

Сигналом, задержанным в первом элементе 51 задержки (фиг. 12 е), начальный адрес поля записывается в четвертый накапливающий сумматор 13 в первом поле непосредственно, а во втором — с суммированием с ранее установленным в нем кодом. Далее начальный адрес поля сигналом с выхода второго элемента 52 задержки (фиг. 12 з) заносится в счетчик 14 адресов считывания, в котором на прямом ходу строк по сигналу с выхода третьего элемента И 59 формируются адреса элементов считываемого изображения. При этом с помощью первого 63 и второго 64 элементов НЕ и третьего элемента И 59 импульсы смены адреса считывания в счетчике 14 формируются только на прямом ходу строк в пределах циклов считывания. С помощью третьего элемента НЕ 65 и четвертого элемента И 60 формируется последовательность гасящих импульсов строк на прямом ходу поля (фиг. 12 д), а в элементе ИЛИ 62 — смесь (фиг. 12 ж), обеспечивающая формирование в четвертом, накапливающем сумматоре 13 начальных адресов строк считываемого изображения. С помощью сигнала с выхода второго элемента 52 задержки (фиг. 12 з), сформированные начальные адресные коды полей и строк заносятся в счетчик 14 адресов считывания. Таким образом, в третьем накапливающем сумматоре 11 формируются переменные начальные адресные коды полей, обеспечивающие сдвиг изображения в заданном направлении с регулируемой скоростью. Скорость сдвига может меняться не только за счет частоты смены кодов в третьем накапливающем сумматоре 11, но и за счет изменения кода, поступающего из второго блока 33 постоянных запоминающих устройств. Код может оперативно изменяться при подаче сигналов на соответствующие входы блока 56 элементов НЕ и, следовательно, при изменении адреса на входе второго блока 33 постоянных запоминающих устройств. Поступающая с его выхода через второй коммутатор 12 на вход четвертого накапливающего сумматора 13 на прямом ходу поля смена кода позволяет при необходимости изменять формат считываемого изображения.

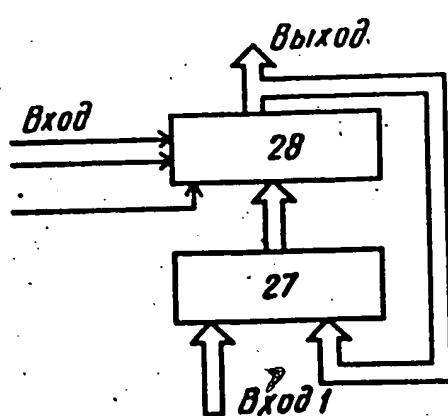
Ф о р м у л а и з о б р е т е н и я
Устройство для преобразования телевизионного стандарта, содержащее последовательно соединенные аналого-цифровой преобразователь, первый блок буферной памяти и блок оперативной памяти, последовательно соединенные цифроаналоговый преобразователь, вход 5 которого является первым входом устройства для преобразования телевизионного стандарта, и видеоконтрольный блок, блок синхронизации, первый 10 выход которого соединен с входом синхронизации видеоконтрольного блока, счетчик адресов записи и счетчик адресов считывания, отличающиеся тем, что, с целью расширения функциональных возможностей путем 15 обеспечения отображения многофрагментных движущихся изображений в режиме панорамирования с регулируемыми скоростью и направлением сдвига, введены второй блок буферной памяти, 20 первый вход которого соединен с выходом блока оперативной памяти, а выход соединен с входом цифроаналогового преобразователя, последовательно соединенные первый накапливающий 25 сумматор, первый коммутатор и второй накапливающий сумматор, выход которого соединен с первым выходом счетчика адресов записи, последовательно соединенные третий накапливающий 30 сумматор, второй коммутатор и четвертый накапливающий сумматор, выход которого соединен с первым выходом счетчика адресов считывания, блок управления режимом записи, вход которого 35 40 является вторым входом устройства для преобразования телевизионного стандарта, первый выход которого соединен с другим выходом первого блока буферной памяти, второй выход соединен с вторым выходом счетчика адресов записи, третий выход соединен с вторым выходом второго накапливающего сумматора, четвертый выход соединен с вторым выходом первого коммутатора, 45 50 а пятый выход соединен с первым выходом первого накапливающего сумматора, третий коммутатор, первый и второй входы которого соединены с выходами соответственно счетчика адресов записи и счетчика адресов считывания, а выход соединен с вторым выходом блока оперативной памяти, блок постоянной памяти, первый вход которого соединен с шестым выходом блока управле- 55

ния режимом записи, первый выход соединен с вторым входом первого накапливающего сумматора и с третьим входом первого коммутатора, а второй выход соединен с первым входом третьего накапливающего сумматора и с вторым входом второго коммутатора, блок коррекции, первый вход которого соединен с вторым выходом блока синхронизации, второй вход соединен с другим выходом первого накапливающего сумматора, а выход соединен с вторым входом третьего накапливающего сумматора, а также блок управления режимом считывания, первый выход которого соединен с третьим входом третьего коммутатора, второй выход соединен с третьим входом блока опер-

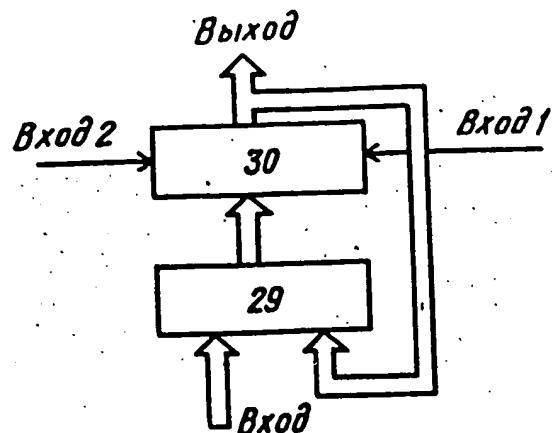
тивной памяти, третий выход соединен с третьим входом счетчика адресов записи, четвертый выход соединен с вторым входом блока постоянной памяти, пятый выход соединен с третьим входом третьего накапливающего сумматора, шестой выход соединен с третьим входом второго коммутатора, седьмой выход соединен с вторым входом четвертого накапливающего сумматора, восьмой выход соединен с вторым входом счетчика адресов считывания, девятый выход соединен с вторым входом второго блока буферной памяти, первый вход соединен с третьим выходом блока синхронизации, а второй вход соединен с седьмым выходом блока управления режимом записи.



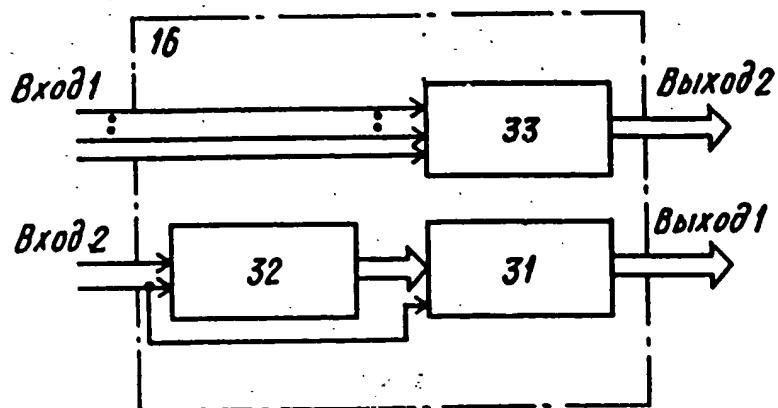
Фиг. 2



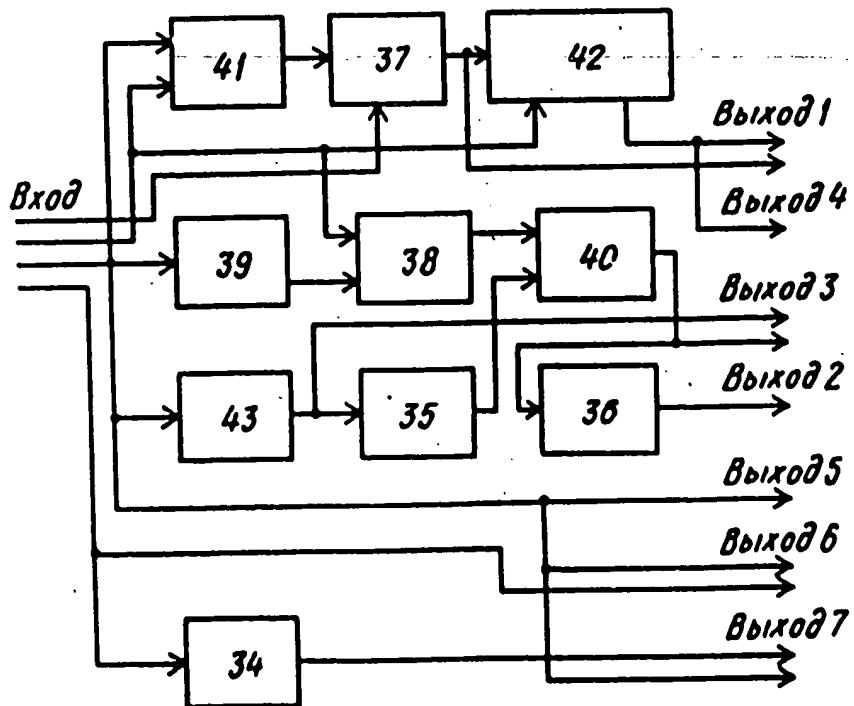
Фиг. 6



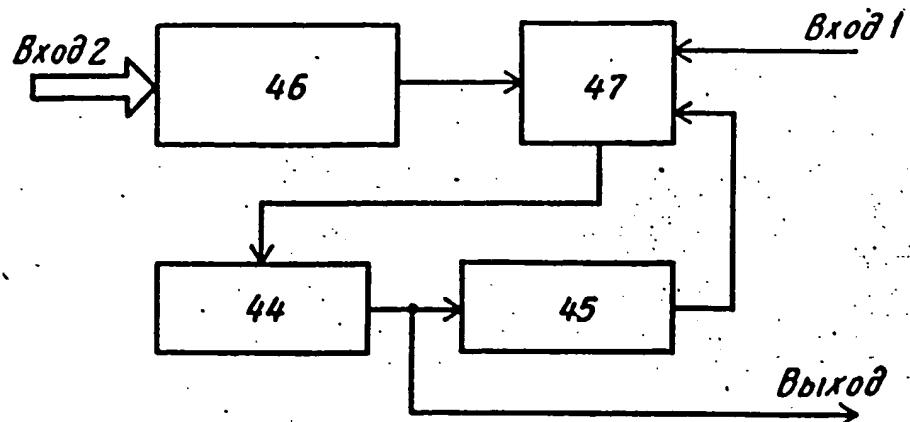
Фиг. 7



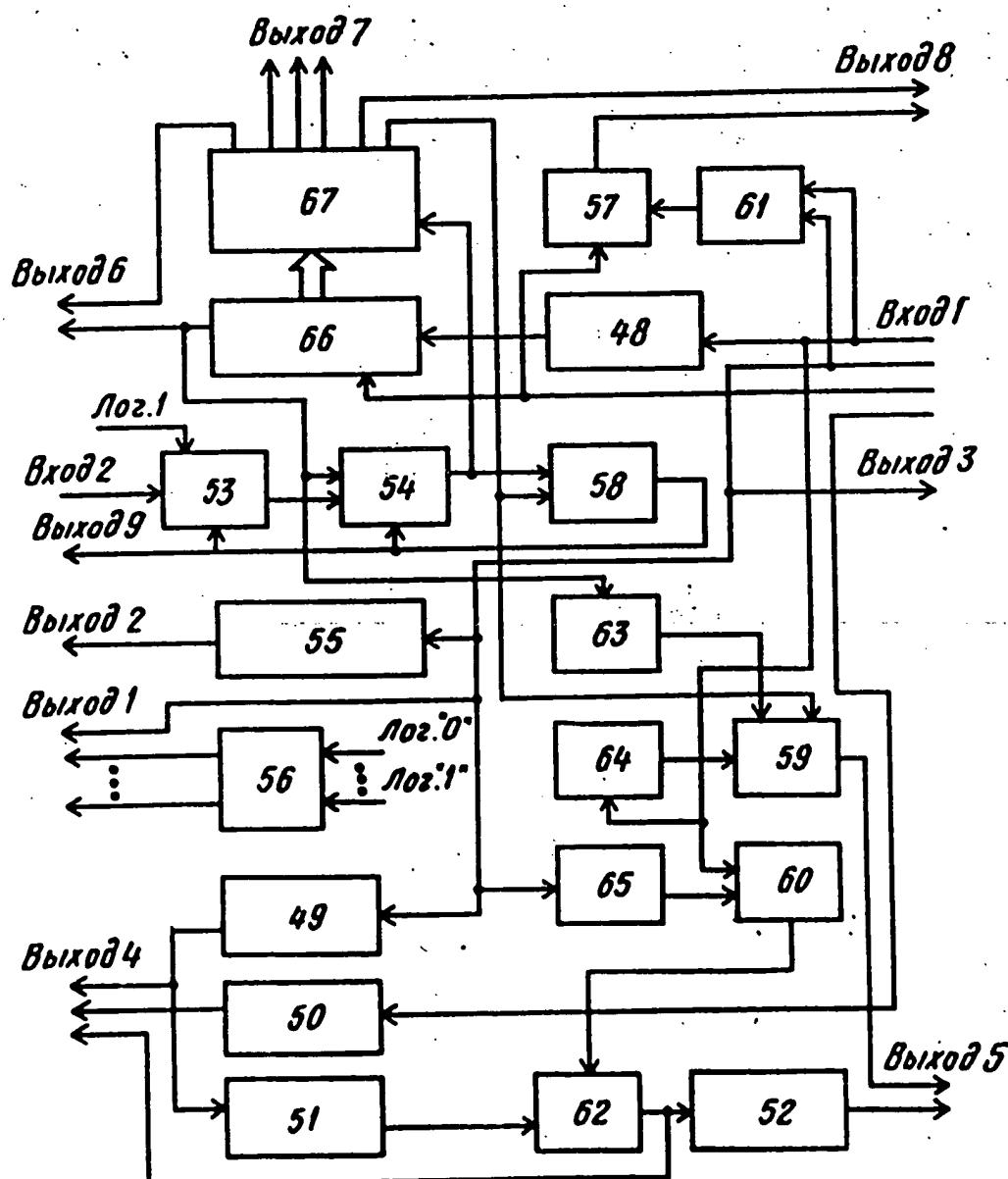
Фиг. 8



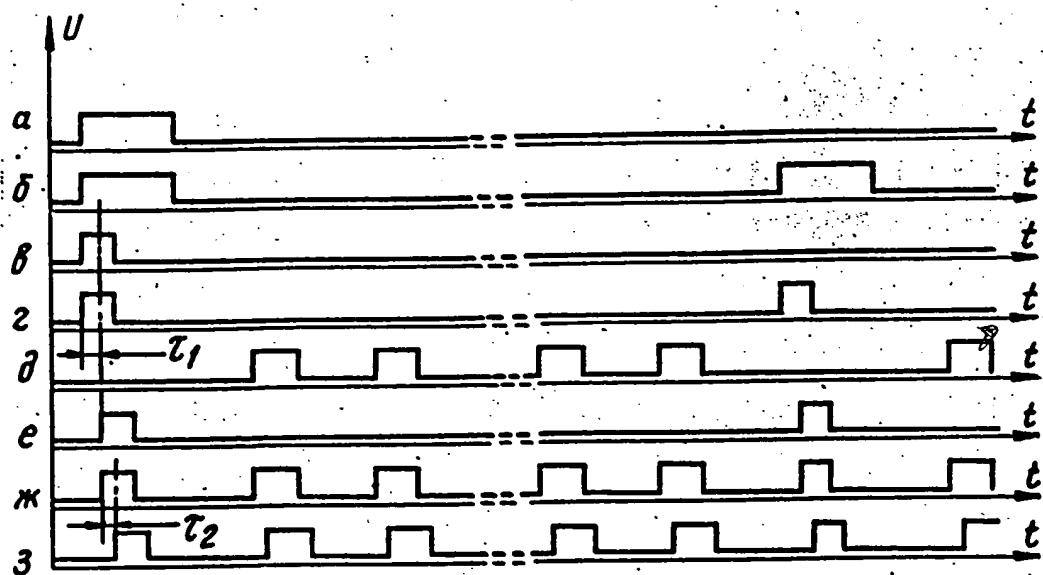
Фиг. 9



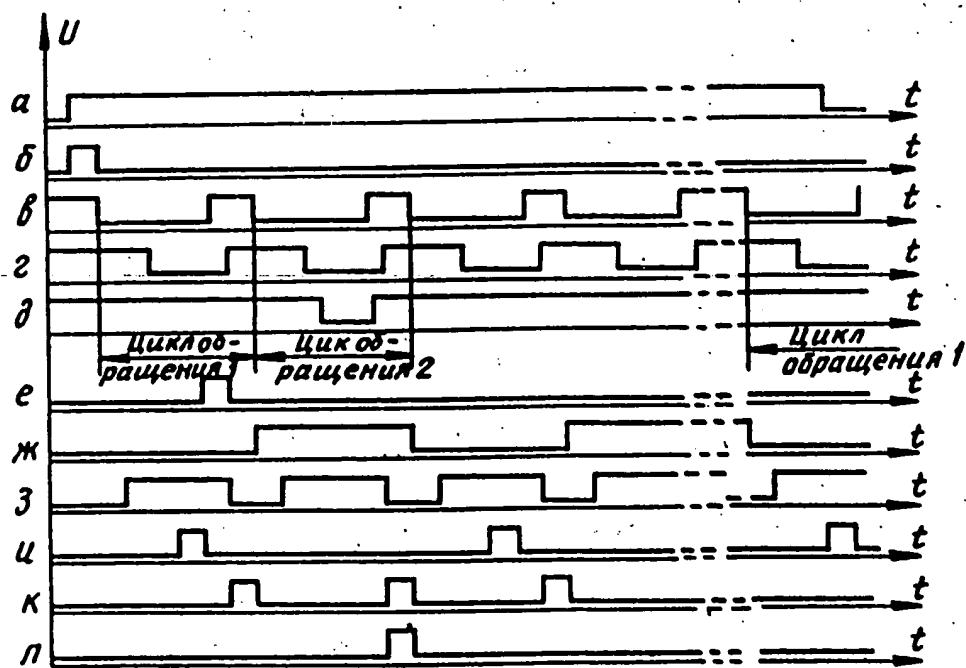
Фиг. 10



Фиг. 11

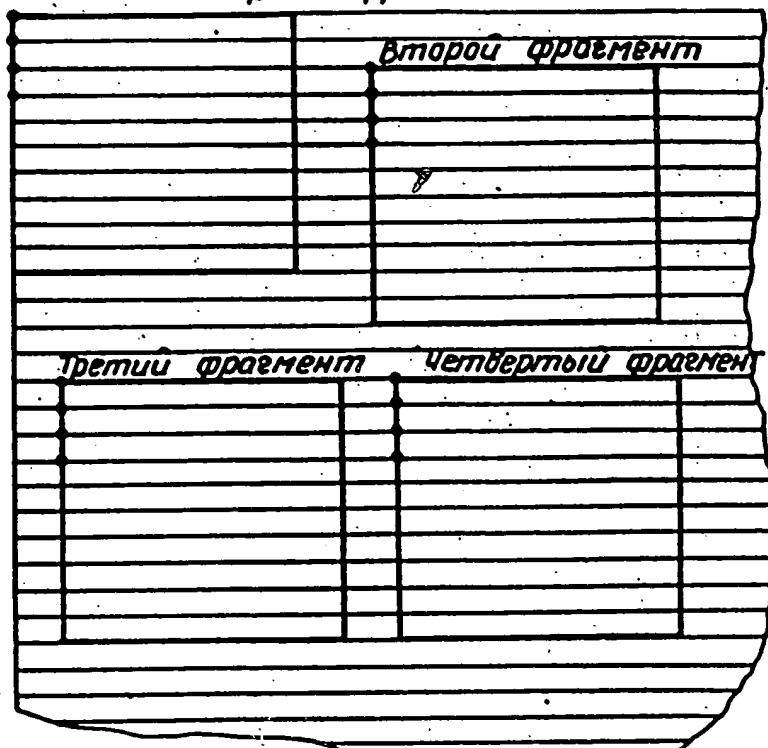


Фиг. 12



Фиг. 13

Первый фрагмент



Фиг. 14

Составитель Э.Борисов

Редактор И.Шулла

Техред М.Дидык

Корректор М.Демчик

Заказ 4837/57

Тираж 638

Подписьное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.